

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177341

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H03B 5/20
H03K 3/03
H03K 3/354

(21)Application number : 09-345630

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.12.1997

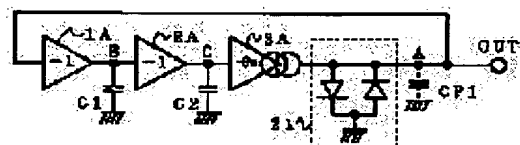
(72)Inventor : YAMAMOTO TAKESHI

(54) OSCILLATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an oscillation circuit which suppresses production of noise and fits to CMOS-LSI containing a highly precise analog circuit which is not easily affected by power noise and the like.

SOLUTION: The output of a transformer conductance circuit 3A having a high inversion gain against input voltage and outputting current with a prescribed conversion coefficient is supplied to the input of an amplifier circuit 1A having the inversion gain smaller than that of the transformer conductance circuit 3A against the input voltage. The output of the amplifier circuit 1A is inputted to an amplifier circuit 2A having similar constitution as the amplifier circuit 1A. The output of the amplifier circuit 2A is supplied to the input of the transformer conductance circuit 3A and is subordinatedly connected in a loop form. Oscillation output is obtained from the transformer conductance circuit 3A and the production of self-noise is suppressed. Then, the whole circuit containing the analog circuit which is not easily affected by power noise and the like is constituted of CMOS-LSI.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177341

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

H 0 3 B 5/20

H 0 3 B 5/20

Z

H 0 3 K 3/03

H 0 3 K 3/03

3/354

3/354

B

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号

特願平9-345630

(22) 出願日

平成9年(1997)12月15日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山本 剛

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

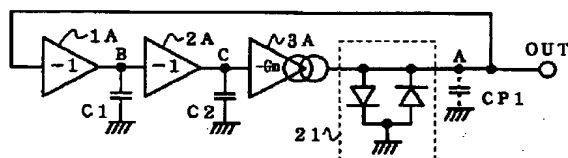
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 発振回路

(57) 【要約】

【課題】 ノイズの発生を抑えるとともに、電源ノイズ等の影響を受けにくい高精度のアナログ回路を含むCMOS-LSIに適した発振回路を提供する。

【解決手段】 入力電圧に対しては高い反転ゲインを持つとともに、ある変換係数で電流出力するトランスコンダクタンス回路3Aの出力を入力電圧に対してトランスコンダクタンス回路3Aの反転ゲインより小さい反転ゲインを持つアンプ回路1Aの入力に供給し、アンプ回路1Aの出力を、アンプ回路1Aと同構成のアンプ回路2Aに入力し、アンプ回路2Aの出力をトランスコンダクタンス回路3Aの入力に供給してループ状に従属接続して、トランスコンダクタンス回路3Aから発振出力を得て自身のノイズの発生を抑え、電源ノイズ等の影響を受けにくいアナログ回路を含む全体の回路をCMOS-LSIで構成可能とした。



【特許請求の範囲】

【請求項1】 入力電圧に対しては高い反転ゲインを有するとともに、ある変換係数で電流出力するトランスコンダクタンス回路と、

入力電圧に対しては前記トランスコンダクタンス回路の反転ゲインよりはずっと小さい反転ゲインを有するアンプ回路とを構成要素とし、

前記トランスコンダクタンス回路と前記アンプ回路をループ状に縦続接続して形成したものであり、

前記ループ上の前記トランスコンダクタンス回路と前記アンプ回路との和は3以上の奇数個であり、前記ループ上の任意の位置での信号を出力信号とすることを特徴とする発振回路。

【請求項2】 前記ループ上のトランスコンダクタンス回路の出力端には振幅を制限する素子または回路を接続したことを特徴とする請求項1に記載の発振回路。

【請求項3】 前記トランスコンダクタンス回路は1個の電界効果トランジスタで構成し、そのソースは共通の定電圧端子に接続し、そのゲートを入力端子とし、そのドレインを出力端子とし、この出力端子には定電流源を接続し、前記アンプ回路は前記電界効果トランジスタと同じ導電型の2個の電界効果トランジスタで構成し、入力側の電界効果トランジスタのソースは前記定電圧端子に接続し、そのゲートを入力端子とし、そのドレインを出力側の電界効果トランジスタのソースに接続してこれを出力端子とし、そのゲートとドレインはそれぞれ別々の定電圧端子に接続したことを特徴とする請求項1に記載の発振回路。

【請求項4】 前記トランスコンダクタンス回路を構成する電界効果トランジスタに流すバイアス電流と、前記アンプ回路を構成する電界効果トランジスタに流すバイアス電流との比を一定に保ちつつその電流値を変えることにより発振周波数を制御できる制御手段とを有することを特徴とする請求項3に記載の発振回路。

【請求項5】 前記ループ上の前記トランスコンダクタンス回路は1個であり、前記ループ上の前記アンプ回路は偶数個であり、そのうち少なくとも1つのアンプ回路の出力端子にはコンデンサが接続されていることを特徴とする請求項3に記載の発振回路。

【請求項6】 前記ループ上の前記トランスコンダクタンス回路は複数個であり、そのうち1個のトランスコンダクタンス回路の出力端子にだけコンデンサが接続されていることを特徴とする請求項3に記載の発振回路。

【請求項7】 1対の差動入力端子と1対の差動出力端子を持ち、同相入力電圧に対しては高い反転ゲインを有し、差動入力電圧に対してはある変換係数で電流出力するトランスコンダクタンス回路と、

1対の差動入力端子と1対の差動出力端子を持ち差動入力電圧に対してはあるゲインを持ってそれを出力し同相入力電圧に対しては前記ゲインと同程度の反転ゲインを

有するアンプ回路とを構成要素とし、

前記トランスコンダクタンス回路と前記アンプ回路をループ状に縦続接続して形成したものであり、

ループ上の前記トランスコンダクタンス回路と前記アンプ回路との和は奇数個であり、ループ上の差動信号は一巡して負帰還で戻ってくるように前記各構成要素が結線されていて、前記ループ上の任意の位置での信号を出力信号とすることを特徴とする発振回路。

【請求項8】 前記ループ上のトランスコンダクタンス回路の出力端子間には、振幅を制限する素子または回路を接続したことを特徴とする請求項7に記載の発振回路。

【請求項9】 前記トランスコンダクタンス回路は、1対の電界効果トランジスタで構成し、そのソースは共通の定電圧端子に接続し、そのゲートを入力端子対とし、そのドレインを出力端子対とし、この出力端子対にはそれぞれ定電流源を接続し、

前記アンプ回路は、

前記電界効果トランジスタと同じ導電型の2対の電界効果トランジスタで構成し、入力側の電界効果トランジスタ対のソースは前記定電圧端子に接続し、そのゲートを入力端子対とし、そのドレインを出力側の電界効果トランジスタ対のソースにそれぞれ接続してこれを出力端子対とし、そのゲートとドレインはそれぞれ別々の定電圧端子に接続したことを特徴とする請求項7に記載の発振回路。

【請求項10】 前記トランスコンダクタンス回路を構成する電界効果トランジスタ対に流すバイアス電流と、前記アンプ回路を構成する電界効果トランジスタ対に流すバイアス電流との比を一定に保ちつつその電流値を変えることにより発振周波数を制御できる制御手段とを有することを特徴とする請求項9に記載の発振回路。

【請求項11】 前記ループ上の前記トランスコンダクタンス回路は1個であり、前記ループ上の前記アンプ回路は偶数個であり、そのうち少なくとも1つのアンプ回路の出力端子間にはコンデンサを接続してなることを特徴とする請求項9に記載の発振回路。

【請求項12】 前記ループ上の前記トランスコンダクタンス回路は複数個であり、そのうち1個のトランスコンダクタンス回路の出力端子にだけ前記定電圧端子との間にそれぞれコンデンサを接続してなることを特徴とする請求項9に記載の発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MOS型半導体集積回路においてアナログ信号処理を行う場合の基本となる発振回路に関する。

【0002】

【従来の技術】近年、デジタル機器の増大とデジタル信号処理技術の進歩によって、デジタル信号処理に適した

CMOS集積回路が半導体市場の大部分を占めるようになってきている。ところが、映像や音声信号は入出力がアナログであるためアナログで処理するほうが簡単であったり、デジタルで処理するにしてもA/D、D/A変換やその前後のフィルタ処理およびクロック発生のための発振器などにアナログ回路が必要である。アナログ回路にはバイポーラが向いており、CMOSはアナログスイッチやサンプルホールドなどの一部の回路を除いては不向きとされてきた。しかし、バイポーラやBiCMOSプロセスはややコスト高になる上、CMOSでのデジタルアナログ混載による1チップ化という要求が強く、CMOSでアナログ信号処理を行うための回路開発が盛んになってきている。

【0003】CMOSによる「発振回路」はデジタル信号処理においてクロック発生器やPLLの要素回路として多用されてきた。このような発振回路の代表的なものとしては、CMOSインバータをリング状に多段構成とした「リング発振回路」がある。そのうち発振周波数の制御が可能な発振回路の一例が、特許公報第2616226号に記載されており、この発振回路の基本発振部分

は図17に示す構成になっている。
 【0004】このリング発振回路は図17(a)に示すように、I1、I2、～Inのインバータ回路を順番に多段につなぎ、最終段のインバータ回路Inの出力を、最初のインバータ回路I1の入力に戻すことによって、リング状のループを形成したものである。各インバータ回路I1、I2、～Inは、図17(b)に示すように、4個の電界効果トランジスタM61～M64から構成されている。トランジスタM62とM63のゲートを

$$f_{osc} = 1 / (N t_d) \quad * 30$$

同士接続して入力端子INとし、トランジスタM62とM63のドレイン同士を接続して出力端子OUTとしている。また、トランジスタM64のドレインとトランジスタM63のソース、トランジスタM62のソースとトランジスタM61のドレインをそれぞれ接続するとともに、トランジスタM64のドレインを電源端子に接続し、トランジスタM61のソースを接地点に接続している。

【0008】このように反転の遅延時間が変化すると反転の伝播がループを一巡して戻ってくるまでの時間も変化するので、(1)式により発振周波数も変化することになる。すなわち1段当たりの遅延時間tdを速くすれば周波数が高くなり、遅延時間tdを遅くすれば発振周波数が低くなり、周波数制御が実現する。

【0009】しかしながら、インバータ回路によるリング発振回路は、アナログデジタル混載のCMOSLSIに用いた場合、

1. 自身でパルス性のノイズを発生して他のアナログ回路に悪影響を及ぼしやすい。

【0005】ここで、トランジスタM61とM62はNチャンネルMOSで形成し、トランジスタM63とM64はPチャンネルMOSで形成している。各インバータ回路I1、I2、～InのトランジスタM61およびM64の各ゲートは、それぞれ周波数制御端子T1およびT2に接続している。出力は各インバータ回路のどの出力から取出しても良く、別に設けたループ外の出力用インバータを介して出力する。

【0006】このリング発振回路において、各インバータ回路のトランジスタM61、M62の組とトランジスタM63、M64の組とは入力端子INに供給される信号のレベルにより、相補的にオン/オフする。従って、各インバータ回路I1、I2、～Inにおける入力端子INと出力端子OUTにおける信号のレベルは反転したものとなる。インバータ回路は多段に縦続接続されているため、このような反転動作が次々と伝播していき、リング状の構成により元に戻ってさらに反転を促進するため、最終的にループ全体の発振に至る。

【0007】このような発振動作の周波数は、各インバータ回路I1、I2、～Inの入出力間の反転の遅延時間で決まる。インバータ回路1個当たりの遅延時間をtdとすると発振周波数foscは、

$$f_{osc} = 1 / (N t_d) \quad \dots (1)$$

2. 電源ノイズ等の影響を受けやすいためジッター（位相ノイズ）が多い。

という欠点がある。インバータ回路は反転の瞬間だけ電源とGND間にかなり大きな電流が流れる。

【0010】従って、インバータの反転毎に電源ラインと接地ラインの抵抗分によって電源と接地にパルス電圧が発生する。LSIがアナログ回路を含む場合、電源ラインを分離する等の対策を施したとしても、このパルス電圧が電源ラインの共通インピーダンス分や基板による容量性の結合等のため、アナログ回路側に回り込む。これがアナログ回路に何らかの影響を与え、アナログ信号にパルスノイズが乗ってその品位が幾分劣化することは避けられない。

【0011】特に、発振出力をアナログ信号処理で何らかの基準信号として使っていた場合などは、この基準信号の周波数と上記パルス電圧の周波数とが整数比を持つため、ビート成分として信号に乗ってきて、フィルタ等では分離できないノイズとなることがある。また、リング発振回路を構成するインバータ回路の波形は、電源-

接地間をフルスウィングする矩形波となる。これは強いエネルギーのスプリアス（高調波成分）を持っているため、アナログ回路にインピーダンスの高い部分があたりすると、輻射波として飛び込んできてやはり信号品位を劣化させやすい。

【0012】一方、デジタル回路も状態が遷移する瞬間に電源と接地間にかかなり大きな貫通電流が流れる。従って、LSIがデジタル回路を含む場合、デジタル回路全体としてはクロック信号のエッジのタイミングで様々な反転が起こり、これによるパルス性のノイズが電源ラインや接地ラインに乗る。これは上記したように、電源ラインを分離する等の対策を施したとしても、このパルス電圧が電源ラインの共通インピーダンス分や基板による容量性の結合等のため、発振回路の電源／接地ラインに回り込むことは避けられない。

【0013】リング発振回路は、電源－接地間電圧の振幅で発振するため、電源電圧に乗るノイズが振幅の一時的な変化を引き起こし、周波数を決めるインバータの遅延時間にゆらぎを与える。これが結局は発振周波数の位相ノイズとなり、発振のスペクトル純度を劣化させることになる。さらには、リング発振回路を構成するインバータ回路自身が発生する反転時のパルス状の貫通電流が自身で使っている電源／GNDラインにパルス電圧を発生させ、これによって発振周波数の位相ノイズを増長させる結果となる。

【0014】

【発明が解決しようとする課題】上記した従来のCMOSによる発振回路では、自分自身が発生するパルスノイズによるアナログ信号への悪影響とデジタル回路が発生するパルスノイズに起因する位相ノイズの増大、という問題があり、特に高精度のアナログ信号処理を含むCMOS-LSIに使える発振回路が切望されていた。

【0015】この発明の目的は、自らのノイズの発生を抑え、電源ノイズ等の影響を受けにくい特長を持つ、高精度のアナログ回路を含むCMOS-LSIに適した発振回路を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するためこの発明では、入力電圧に対しては高い反転ゲインを有するとともに、ある変換係数で電流出力するトランスコンダクタンス回路と、入力電圧に対しては前記トランスコンダクタンス回路の反転ゲインよりはずっと小さい反転ゲインを有するアンプ回路とを構成要素とし、前記トランスコンダクタンス回路と前記アンプ回路をループ状に縦続接続して形成したものであり、前記ループ上の前記トランスコンダクタンス回路と前記アンプ回路との和は3以上の奇数個であり、前記ループ上の任意の位置での信号を出力信号とすることを特徴とする。

【0017】このような構成要素の具体的な回路として、前記トランスコンダクタンス回路は1個の電界効果

トランジスタで構成し、そのソースは共通の定電圧端子に接続し、そのゲートを入力端子とし、そのドレインを出力端子とし、この出力端子には定電流源を接続し、前記アンプ回路は前記電界効果トランジスタと同じ導電型の2個の電界効果トランジスタで構成し、入力側の電界効果トランジスタのソースは前記定電圧端子に接続し、そのゲートを入力端子とし、そのドレインを出力側の電界効果トランジスタのソースに接続してこれを出力端子とし、そのゲートとドレインはそれぞれ別々の定電圧端子に接続する。

【0018】上記した発振回路では、トランスコンダクタンス回路を構成する電界効果トランジスタに流すバイアス電流と、前記アンプ回路を構成する電界効果トランジスタに流すバイアス電流との比を一定に保ちつつ、その電流値を変える手段を設けることにより発振周波数を制御することができる。

【0019】また、1対の差動入力端子と1対の差動出力端子を持ち、同相入力電圧に対しては高い反転ゲインを有し、差動入力電圧に対してはある変換係数で電流出力するトランスコンダクタンス回路と、1対の差動入力端子と1対の差動出力端子を持ち差動入力電圧に対してはあるゲインを持ってそれを出力し同相入力電圧に対しては前記ゲインと同程度の反転ゲインを有するアンプ回路とを構成要素とし、前記トランスコンダクタンス回路と前記アンプ回路をループ状に縦続接続して形成したものであり、ループ上の前記トランスコンダクタンス回路と前記アンプ回路との和は3以上の奇数個であり、ループ上の差動信号は一巡して負帰還で戻ってくるように前記各構成要素が結線されていて、前記ループ上の任意の位置での信号を出力信号とすることを特徴とする。

【0020】このような構成要素の具体的な回路としては、前記トランスコンダクタンス回路は1対の電界効果トランジスタで構成し、そのソースは共通の定電圧端子に接続し、そのゲートを入力端子対とし、そのドレインを出力端子対とし、この出力端子対にはそれぞれ定電流源を接続し、前記アンプ回路は前記電界効果トランジスタと同じ導電型の2対の電界効果トランジスタで構成し、入力側の電界効果トランジスタ対のソースは前記定電圧端子に接続し、そのゲートを入力端子対とし、そのドレインを出力側の電界効果トランジスタ対のソースにそれぞれ接続してこれを出力端子対とし、そのゲートとドレインはそれぞれ別々の定電圧端子に接続する。

【0021】この発振回路では、トランスコンダクタンス回路を構成する電界効果トランジスタ対に流すバイアス電流と、前記アンプ回路を構成する電界効果トランジスタ対に流すバイアス電流との比を一定に保ちつつその電流値を変える手段を設けることにより発振周波数を制御することができる。

【0022】上記した各手段により、まずほとんどの素子がリニア領域で動作し、完全なスイッチング領域で動

10

20

30

40

50

作する訳ではないので、パルス性のノイズ発生がほとんどない。また、発振振幅を電源電圧とは無関係な振幅で制限するのでスブリアスの発生も少なく、電源ノイズにより発振振幅がノイズで振られ結果的にジッター（位相ノイズ）となるようなこともない。このようなことから、高精度のアナログ回路を含むCMOS-LSIに最適な発振回路となる。

【0023】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。図1は、この発明の第1の実施の形態について説明するための回路構成図である。この実施の形態は構成要素1, 2, ~Nを3以上の奇数個とし、これらを順番に多段接続し、最終段の構成要素Nの出力を、最段の構成要素1の入力に戻すことによって、リング状のループを形成したものである。ここでの各段の構成要素は、トランスコンダクタンス回路かアンプ回路のいずれかとし、それらの入力電圧対出力電圧はいずれも反転の関係にあるものを用いる。

【0024】ここで、構成要素がトランスコンダクタンス回路の場合は、電圧入力、電流出力であり、出力端がハイインピーダンスのため入出力間の電圧ゲインが非常に高い。すなわち直流的には高ゲインの反転アンプである。また、構成要素がアンプ回路の場合は、電圧入力、電圧出力であるが電圧ゲインとしては1前後（せいぜい0.1~10までの範囲）の設定のものを用いる。すなわち直流的には低ゲインの反転アンプとなる。

【0025】このような構成要素にて図1の回路を構成した場合、直流的には各構成要素は入出力間で反転の関係にあり、かつループを構成する要素数が奇数個だから、ループ一巡では直流的に負帰還（180°の位相回り）となる。ループを構成する各ノードは、電源-接地間の中間電位で安定な動作点を持つ。

【0026】次に、このループを交流的に考えると、各構成要素はその出力インピーダンスと出力端に付いた容量（コンデンサによる実容量または回路の寄生容量）の積による時定数によって周波数が高くなるにつれて位相が遅れ始める。従って、多くの場合、各段の位相遅れの総和が180°となる周波数が存在する。この周波数ではループ一巡で直流時の180°に対し、さらに位相が180°回るので、ループは正帰還となる。周波数が高くなって位相が遅れれば、入出力間のゲインも低下するが、ループ一巡の位相回りが360°となる周波数において、ループゲインが1以上であればその周波数で発振が始まることになる。

【0027】図1を構成する要素のうち、アンプ回路ではゲインはとれないがトランスコンダクタンス回路は極めて高いゲインを持つので、最低1個はトランスコンダクタンス回路を入れるように構成する。または全てをアンプ回路で構成するならば各段で1以上のゲイン設定し

て、これを多数縦続接続して全体のループゲインを確保しながら、各段で少しずつ位相を回すことにより発振させる方法もある。

【0028】なお、図1では全て入出力が反転の関係にあるものを奇数個用いて構成する例を示しているが、このループ上に入出力が非反転の関係にあるものを幾つ挿入しても発振回路としての機能が変わらないのは明らかである。従って、この実施の形態では、ループを構成する要素回路のうちの入出力間が反転の関係にあるものだけの総和が奇数個という点だけでこと済む。

【0029】図2は、第1の実施の形態をより具体的な一実施例について説明するための回路構成図である。この場合、1, 2, ~Nの構成要素を3段とし、構成要素1, 2をアンプ回路1Aとアンプ回路2Aとし、構成要素3をトランスコンダクタンス回路3Aとし、これらを縦続接続し、トランスコンダクタンス回路3Aの出力を、アンプ回路1Aの入力に帰還したものである。

【0030】アンプ回路1A, 2Aの出力端であるBとCにはそれぞれ対接地に移相コンデンサC1とC2を接続する。トランスコンダクタンス回路3の出力は互いに向きを変えて並列接続したダイオードペア21で振幅制限する。発振出力はどこから取出しても良いが、この例ではトランスコンダクタンス回路3Aの出力端のA点から取り出している。また、A点にはコンデンサは付けないが、実際にはアンプ回路1Aの入力容量等の寄生容量CP1が付く。

【0031】この実施例に使用しているトランスコンダクタンス回路の回路例を図3に、アンプ回路の回路例を図4にそれぞれ示す。

【0032】トランスコンダクタンス回路は、図3のようにMOSトランジスタM1で構成し、そのソースを接地し、ゲートを入力とし、ドレインには電源V_{dd}より定電流I_oを供給し、ここを出力端子としている。このような回路は直流の入出力特性としては高い反転ゲインを持つ回路という条件を満たすものである。

【0033】アンプ回路は、図4のようにMOSトランジスタM2, M3で構成し、トランジスタM2のソースを接地し、ゲートを入力とし、ドレインはトランジスタM3のソースと接続してここを出力端子とし、トランジスタM3のゲートはバイアス電圧V_Bに、ドレインは電源V_{dd}にそれぞれ接続する。この回路のゲインはトランジスタM3のゲートサイズW/Lに対するトランジスタM2のゲートサイズW/Lの平方根で決まる。素子間のゲートサイズの比はあまり大きく取れないので、このゲインは1前後のせいぜい1桁の範囲（0.3~3=-10dB~10dB）でしか変えられない。

【0034】従って、ゲインはトランスコンダクタンス回路のゲインよりは遥かに小さな値になり、直流の入出力特性としてはトランスコンダクタンス回路よりもずっと小さな反転ゲインを持つ回路という条件を満たす。図

2の例ではトランジスタM2とM3のサイズを同じにして、直流ゲインを「-1」としている。

【0035】このような回路を構成要素とした図2の回路動作を、図5に示したベクトル図を使って説明する。出力端子であるA点を起点に考える。アンプ回路1Aを通ったあとのB点では直流領域ではゲインが「-1」なので a' のベクトルとなる。周波数が高くなると位相が遅れ始め、 45° 遅れるような周波数においては b のベクトルとなる。次にアンプ回路2Aを通過したC点では、アンプ回路1Aと2A、コンデンサC1とC2とがそれぞれ等しいとすると、A→BとB→Cの位相遅れは等しくなるため、B点で 45° 遅れる周波数においては、C点でも b' ($= -b$) に対して 45° 遅れ、図中の c のベクトルとなる。トランスコンダクタンス回路3Aの出力インピーダンスはアンプ回路1Aや2Aに比べ、遥かに大きい。例えば1000倍という大きさであ

$$f_{osc} = g_m / (2\pi C)$$

となる。

【0037】図6は、図3のトランスコンダクタンス回路と図4のアンプ回路を図2に適用して実際の素子レベルの回路に書き換えたものである。この回路においてN MOS素子は全て同一形状・同一サイズであり、PMOS素子は全て同一形状・同一サイズであるとする。図2のアンプ回路1AはトランジスタM11とM12で、アンプ回路2AはトランジスタM13とM14で、トランスコンダクタンス回路3AはトランジスタM15とそれをバイアスする電流源のトランジスタM16とM17とで構成する。また、アンプ回路のバイアス電圧として、図のようにトランジスタM18とM19を縦続接続した

$$I_d = k(V_{gs} - V_{th})^2$$

と表わされるとすると、M11～M14の各トランジスタの g_m は、

$$g_m = \delta I_d / \delta V_{gs} = 2\sqrt{k I_{c1}} \quad \dots (4)$$

と表わすことができるので、これを(2)に代入して、☆ ☆【数2】

$$f_{osc} = \sqrt{k I_{c1}} / (\pi C) \quad \dots (5)$$

となる。これはバイアス電流 I_c を変えることにより、発振周波数を変えることができることを意味する。このように、バイアス電流 I_{c1} を変化させることにより、発振周波数を簡単に制御することができる。

【0040】この実施例では発振波形が最大の振幅を持つのはA点であるが、ここはダイオードで振幅制限しているためその振幅は0.5V以下であり、従来のインバータ路を用いたリング発振回路のように電源電圧いっぱい振れる訳ではない。また、完全なスイッチング動作ではなく連続に近い領域で動作するので電源ラインにパルスノイズが乗るようなこともない。B点とC点は振幅がさらに小さく、しかも三角波から正弦波に近い波形になっているので高調波成分が少ない。

＊ する。それに対しA点の寄生容量CP1はC1とC2を数pFとするとせいぜいその1/10程度である。すなわちA点の時定数はB点やC点に比べ100倍程度大きい。これにより、B点やC点の位相が 45° 遅れる周波数ではA点は 90° 近く遅れることになる。

【0036】従って、A点はベクトル c の反転 c' に対し、 90° 遅れて元の a ベクトルに戻る。すなわち、アンプ回路の出力インピーダンスとコンデンサの積で決まる時定数により位相が 45° 回るような周波数で、ループ全体の位相回りが 360° となって正帰還になり、この周波数で発振することになる。この場合の発振周波数 f_{osc} は、アンプ回路のトランジスタM2とM3のトランスコンダクタンスを g_m (M2とM3のトランスコンダクタンスは等しい) とし、コンデンサC1とC2の容量値をC ($C1 = C2$) とすると、

$$\dots (2)$$

※回路に基準電流 I_{c1} を折り返して、トランジスタM20とM21とで与える電流を流して得られる電圧をVB1としてトランジスタM12とM14のゲートに与える。

【0038】このようにすれば、トランジスタM16とM17で供給しているトランスコンダクタンス回路3AのトランジスタM15のバイアス電流とアンプ回路1A、2AのトランジスタM11～M14のバイアス電流を全て等しくできる。

【0039】従って、図中の発振ループを構成するA、B、Cの各ノードの動作電圧は全て等しくなる。また、M11～M14のトランジスタのドレイン電流が、

$$\dots (3)$$

★【数1】

★

【0041】従って、高調波ノイズに敏感なアナログ回路が近くにあったとしても、電源ラインの共通インピーダンスによって漏れ込んでいたり、空間的に飛び込んでいたりするノイズは小さい。また、発振周波数は電源電圧に全く依存しないようにすることができるため、デジタル回路が混在する場合でもデジタル回路で発生し、電源ラインに乗ったパルスノイズが干渉してジッター(位相ノイズ)が増大することも少ない。このため、高精度のアナログ信号処理を含むアナデジ混載のCMOS-LSIに使えば非常に有効である。

【0042】図7は、この発明の第1の実施の形態による他の実施例について説明するための回路構成図である。この実施例では、1, 2, ～Nの構成要素を先の実

施例と同様に3段とし、1～3の全ての構成要素をトランスコンダクタンス回路としたものである。

【0043】すなわち、1B～3Bのトランスコンダクタンス回路を縦続接続し、トランスコンダクタンス回路3Bの出力を、トランスコンダクタンス回路1Bの入力に帰還したものであり、出力はトランスコンダクタンス回路3Bから取り出している。各トランスコンダクタンス回路1B～3Bは、先の実施例の場合と同様に図3に示したものをを用いる。トランスコンダクタンス回路2B、3Bの出力端には、それぞれ71と72のダイオードによる振幅制限回路を付けている。これらの端子にはコンデンサは付けないが、それぞれ寄生容量CP2とCP3が付く。トランスコンダクタンス回路1Bの出力端には、寄生容量CP2とCP3よりもずっと大きな容量値を持つコンデンサC3を付けている。

【0044】図8のベクトルを用いて、図中のA点を起点に発振動作を考える。トランスコンダクタンス回路2Bを通ったあとのB点ではA点の信号ベクトルaの反転のa'に対してB点の時定数であるトランスコンダクタンス回路2Bの出力インピーダンスと寄生容量CP2と*20

$$f_{osc} = r_o / (2\pi C_p)$$

と表わされる。

【0046】図9は、この発明の第2の実施の形態について説明するための回路構成図である。これは図1に示した第1の実施の形態と同様に、構成要素11、12、～1Nを3以上の奇数個とし、これらを順番に多段接続し、最終段の構成要素1Nの出力を最初の構成要素11の入力に戻すことによって、リング状のループを形成する。また、構成要素の段数は3以上の奇数個で、各段の構成要素はトランスコンダクタンス回路かアンプ回路のいずれかである点も同じである。ただ、これらの構成要素11、12、～1Nは、差動入力差動出力の4端子回路である点が第1の実施の形態と異なる。

【0047】ループ上の差動信号は、一巡すると信号極性が反転して戻するという回路結線にする。トランスコンダクタンス回路は差動電圧入力、差動電流出力であり、出力端がハイインピーダンスのため入出力間の同相電圧ゲインは非常に高い。すなわち直流同相電圧に対しては高ゲインの反転アンプとなる。アンプ回路は差動電圧入力、差動電圧出力であるが電圧ゲインとしては差動ゲイン、同相ゲインとも1前後（せいぜい0.1～1.0までの範囲）の設定のものをを用いる。すなわち直流同相電圧に対しては低ゲインの反転アンプとなる。

【0048】このような構成要素にて図9の回路を構成した場合、同相直流特性としては各構成要素は入出力間で反転の関係にあり、かつループを構成する要素数が奇数個だから、ループ一巡では直流的に負帰還（180°の位相回り）となる。同相ループを構成する各ノードは、電源-GND間の中間電位で安定な動作点を持つ。差動的には、基本的に各構成要素は同極性端子同士で結

*の積に応じたある遅延を生じる。周波数の増加とともに遅延量も大きくなるという関係がある。今、遅延位相が45°となり、B点の信号ベクトルがbとなるような周波数を考える。C点はB点と同じ条件なので、その信号ベクトルはbの反転b'に対し45°遅れて、cのようになる。コンデンサC3の容量値は寄生容量CP2やCP3の容量よりずっと大きいという設定なので、A点の時定数はB点やC点に比べずっと大きい。B点やC点で位相が45°遅れる周波数においてはA点の時定数によって位相が90°遅れる。従って、C点の信号ベクトルcの反転c'に対し90°遅れてaに戻る。

【0045】すなわち、トランスコンダクタンス回路の出力インピーダンスとその位置での寄生容量の積で決まる時定数により位相が45°回るような周波数でループ全体の位相回りが360°となって正帰還になり、この周波数で発振することになる。この場合の発振周波数 f_{osc} は、トランスコンダクタンス回路の出力インピーダンスを r_o とし、寄生容量CP2とCP3の容量値を C_p （CP1とCP2の容量値は等しい）とすると、

$$\dots (6)$$

線し、1ヶ所だけ極性を入れ替えてループ状に結線する。図9においては構成要素1Nの出力から要素1の入力に戻すところで極性を入れ替えている。このように結線することで、差動直流特性としては各差動入力と各差動出力の「+側端子」と「-側端子」が全て同電位になるように動作する。

【0049】次に、この差動ループを交流的に考えると構成要素11、12、～1Nは、その出力端子のインピーダンスと差動出力端子間に付いた容量（コンデンサによる実容量または回路の寄生容量）の積による時定数によって周波数が高くなるにつれて位相が遅れ始める。従って、多くの場合、各段の位相遅れの総和が180°となる周波数が存在する。この周波数ではループ一巡で直流時の180°に対し、さらに位相が180°回るので、差動ループは正帰還となる。周波数が高くなって位相が遅れれば入出力間のゲインも低下するが、ループ一巡の位相回りが360°となる周波数において、ループゲインが1以上であればその周波数で発振が始まることになる。

【0050】構成要素のうち、アンプ回路ではゲインはとれないが、トランスコンダクタンス回路は極めて高いゲインを持つので、最低1個はトランスコンダクタンス回路を入れるように構成する。または全てをアンプ回路で構成するならば各段で1以上のゲイン設定して、これを多数縦続接続して全体のループゲインを確保しながら、各段で少しずつ位相を回すことにより発振させる方法もある。

【0051】図9の構成では、全て入出力が反転の関係にあるものを奇数個用いて構成する例を示しているが、

このループ上に入出力が非反転の関係にあるものを幾つ挿入しても発振回路としての機能がかわらないのは明らかである。従って、この発明はループを構成する要素回路のうちの入出力間が反転の関係にあるものだけの総和が奇数個という点だけを規定するものである。

【0052】図10は、この発明の第2の実施の形態による一実施例について説明するための回路構成図である。この実施例は、11、12、～1Nの構成要素を3段とし、構成要素11、12をアンプ回路11Aとアンプ回路12Aとし、構成要素13をトランスコンダクタンス回路13Aとし、これらを縦続接続し、トランスコンダクタンス回路13Aの出力を、アンプ回路11Aの入力に帰還したものである。

【0053】アンプ回路11A、12Aのそれぞれの出力端であるBB'とCC'には、端子間にコンデンサC11とC12を接続する。トランスコンダクタンス回路13Aの出力は、双方向に並列接続したダイオードペア101で振幅制限する。発振出力はどこから取り出しても良いが、この例ではトランスコンダクタンス回路13Aの出力端のAA'点から取り出している。またAA'点にはコンデンサは付けないがアンプ回路11Aの入力容量等の寄生容量CP4とCP5が付く。

【0054】図11、図12は、図10の実施例で使用するトランスコンダクタンス回路13Aとアンプ回路12A、13Aの具体的な回路例について説明するための回路図である。

【0055】トランスコンダクタンス回路は、図11のようにMOSトランジスタM31とM32とで構成し、そのソース対を接地し、ゲート対を差動入力端子とし、ドレイン対にはそれぞれ電源より定電流I_oをそれぞれ供給するとともに、ここを差動出力端子としている。このような回路は直流の同相入力電圧に対しては、高い反転ゲインを持つ回路という条件を満たすものである。

【0056】アンプ回路は図12のようにMOSトランジスタM33～M36で構成し、トランジスタM33とM34のソースを接地し、ゲート対を差動入力端子とし、ドレインはトランジスタM35とM36のソースにそれぞれ接続してこれを差動出力端子とし、トランジスタM35とM36のゲートはバイアス電圧V_Bに、ドレインは電源にそれぞれ接続する。この回路の差動ゲインおよび同相ゲインはトランジスタM35、M36のゲートサイズW/Lに対するトランジスタM33、M34のゲートサイズW/Lの平方根で決まる。素子間のゲートサイズの比はあまり大きく取れないので、このゲインは1前後のせいぜい1桁の範囲(0.3～3=-10dB～10dB)でしか変えられない。この例ではトランジスタM33～M36のサイズを全て同じにして、直流での同相ゲインを「-1」、差動ゲインを「1」としている。従って、同相ゲインはトランスコンダクタンス回路の同相ゲインよりは遥かに小さな値になり、直流の同相

入力電圧に対してはトランスコンダクタンス回路よりもずっと小さな反転ゲインを持つ回路という条件を満たしている。

【0057】このような回路を構成要素とした図10の回路動作を図13に示したベクトル図を使って説明する。まず、出力端子であるAA'点を起点に考える。アンプ回路11Aを通ったあとのBB'点では直流領域ではゲインが「-1」なのでa'のベクトルとなる。周波数が高くなると位相が遅れ始め、45°遅れるような周波数においてはbのベクトルとなる。次にアンプ回路12Aを通過したCC'点では、アンプ回路11Aと12A、コンデンサC11とC12とがそれぞれ等しいとすると、AA'→BB'とBB'→CC'の位相遅れは等しくなるため、BB'点で45°遅れる周波数においては、CC'点でもb' (= -b) に対して45°遅れ、図中のcのベクトルとなる。

【0058】トランスコンダクタンス回路13Aの出力インピーダンスは、アンプ回路11Aや12Aに比べ遥かに大きい。例えば1000倍という大きさである。それに対し、AA'間に付く寄生容量は、寄生容量CP4とCP5の半分であり、コンデンサC11とC12を数pFとするとせいぜいその1/10程度である。これで、AA'点の時定数はBB'点やCC'点に比べ100倍程度大きいということになる。BB'点やCC'点の位相が45°遅れる周波数ではAA'点は90°近く遅れることになる。従って、AA'点はベクトルcの反転c'に対し、90°遅れて元のaベクトルに戻るようになる。

【0059】すなわち、アンプ回路の出力インピーダンスとコンデンサの積で決まる時定数により位相が45°回るような周波数でループ全体の位相回りが360°となって正帰還になり、この周波数で発振することになる。この場合の発振周波数f_{osc}は、アンプ回路のトランジスタM33～M36のトランスコンダクタンスをg_m(M33～M36のトランスコンダクタンスは等しい)とし、コンデンサC11とC12の容量値をC(C11とC12の容量値は等しい)とすると、前述の(2)式と同じ式で表わすことができる。

【0060】図10の全差動型の発振回路の場合、もう一つ同相での動作を考えなければならない。この回路は発振回路ではあるが、発振は差動モードでのみ起こり、同相モードでは発振してはならない。同相モードを考える場合はGNDを基準にしたAA'の平均電圧、BB'の平均電圧、CC'の平均電圧を考えれば良い。11～13の各構成要素の出力端に付く対接地との容量値は、コンデンサの寄生容量を無視すると、BB'点でゼロ、CC'点でもゼロ、AA'点でCP4//CP5、となる。しかも、構成要素の出力インピーダンスもトランスコンダクタンス回路の方がアンプ回路より桁違いに大きい。従って、同相信号に対する時定数はBB'点でほぼ

ゼロ、CC'点でもほぼゼロ、AA'点で最大となる。

【0061】図10のリング状のループでは、AA'点で周波数の低いところに支配極ができ、BB'点とCC'点に対応した極は遥か離れた高域にしかできない。従って、BB'点とCC'点の極の影響で位相が回りはじめる周波数ではAA'点の支配極によって振幅が十分減衰し、ループゲインが1以下になって発振を回避できることになる。このように同相動作に対しては寄生容量CP4とCP5が位相補償容量として働き、同相ループとして位相補償がなされるため同相発振は起こらない。これはコンデンサC11とC12を差動出力の端子間に入れて、対接地には容量を付けていないことによる。

【0062】図11のトランスコンダクタンス回路と図12のアンプ回路を図10に適用して実際の素子レベルの回路に書き換えたものを図14に示す。この回路においてNMOS素子は全て同一形状・同一サイズであり、PMOS素子は全て同一形状・同一サイズであるとする。

【0063】図10のアンプ回路11AはトランジスタM41~M44で、アンプ回路12AはトランジスタM45~M48で、トランスコンダクタンス回路13AはトランジスタM49、M50とそれをバイアスする電流源のトランジスタM51とM53、トランジスタM52とM54とで構成する。また、アンプ回路のバイアス電圧として、図のようにトランジスタM55とM56を縦続接続した回路に基準電流Ic2を折り返し、トランジスタM57とM58とで与える電流を流して得られる電圧を、バイアス電圧VB2としてトランジスタM43~M48の各ゲートに与える。

【0064】このようにすれば、トランジスタM51とM53、トランジスタM52とM54とで供給しているトランスコンダクタンス回路13AのトランジスタM49、M50のバイアス電流と2つのアンプ回路のM41~M48のバイアス電流を全て等しくすることができる。図中の発振ループを構成するA、A'、B、B'、C、C'の各ノードの動作電圧は全て等しくなる。

【0065】また、M41~M48のトランジスタのドレイン電流が(3)式のように表わされるとすると、前述の実施例で計算したのと同様に、そのgmは(4)式のように表わされ、これを(2)式に代入して発振周波数は(5)式で表わされる。これは、この発明の第1の実施の形態による図5に示す実施例と全く同様に、第1のバイアス電流Ic1を変えることにより、発振周波数を変えることができることを意味する。このようにバイアス電流Ic2を変化させることにより発振周波数を簡単に制御することができる。

【0066】図14の回路の実際の動作時における発振波形を図15に示す。この波形図は、図14のA、B、C、の各点の波形を示した。A点の波形を基準に、B点の波形は約135°の位相差、約90°の位相差になっ

ており、図13に示したような位相関係になっていることが読み取れる。

【0067】バイアス電流Ic2を変化させたときの発振波形を図16に示す。これはバイアス電流Ic2を、10μA、50μA、200μAにそれぞれ変えた場合のA-A'間の差電圧の波形を示したもので、aがIc2=10μAの場合、bがIc2=50μAの場合、cがIc2=200μAの場合である。(5)式に示した通り、ほぼ $I^{1/2}$ Ic2に比例してその発振周波数が変化していることが読み取れる。

【0068】このように、この第2の実施の形態では、自分自身で高調波ノイズを発生しにくいことと、電源等に乗ったノイズの影響を受けにくい、という第1の実施の形態の特徴を備えていることの他に、全差動回路であるため、差動で出力すれば偶数次の高調波ノイズを抑え、さらに電源ノイズによるジッターをさらに軽減できて高品位の発振信号を得ることができる。

【0069】

【発明の効果】以上記載したように、この発明に係るCMOSで構成する発振回路によれば、トランスコンダクタンス回路とアンプ回路をリング状に配置して全差動型にて構成することにより、自分自身でノイズを発生しにくく、また電源ノイズ等の影響を受けにくいという効果を奏する。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態について説明するための回路構成図。

【図2】図1の一実施例について説明するための回路構成図。

【図3】図2で用いるトランスコンダクタンス回路の回路図。

【図4】図2で用いるアンプ回路の回路図。

【図5】図2の動作について説明するためのベクトル図。

【図6】図2を素子レベルで示した回路図。

【図7】この発明の第1の実施の形態による他の実施例について説明するための回路構成図。

【図8】図7の動作について説明するためのベクトル図。

【図9】この発明の第2の実施の形態について説明するための回路構成図。

【図10】図9の一実施例について説明するための回路構成図。

【図11】図10の実施例で使用するトランスコンダクタンス回路の具体的な回路例について説明するための回路図。

【図12】図10の実施例で使用するアンプ回路の具体的な回路例について説明するための回路図。

【図13】図10の回路動作について説明するためのベクトル図。

【図14】図10を実際の素子レベルに書き換えて説明するための回路図。

【図15】図14の回路の実際の動作時における発振信号波形図。

【図16】図14におけるバイアス電流を変化させたときの発振信号波形図。

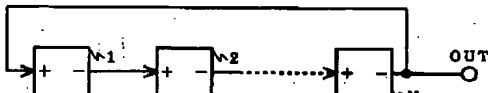
【図17】従来の発振回路について説明するための回路構成図。

*【符号の説明】

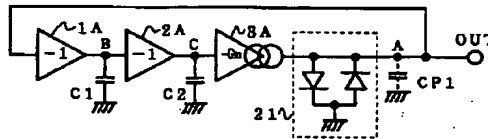
1, 2, ~N, 11, 12, ~1N…構成要素、1A, 2A, 11A, 12A…アンプ回路、3A, 1B~3B, 13A…トランスコンダクタンス回路、21, 71, 72…ダイオードペア、CP1, CP2, CP3, CP4, CP5…寄生容量、C1, C2, C3, C11, C12…コンデンサ、A~C, A'~C'…ノード。

*

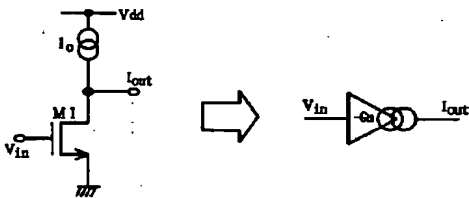
【図1】



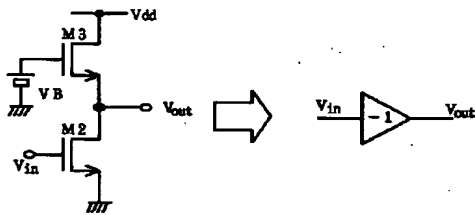
【図2】



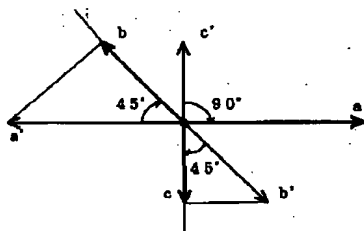
【図3】



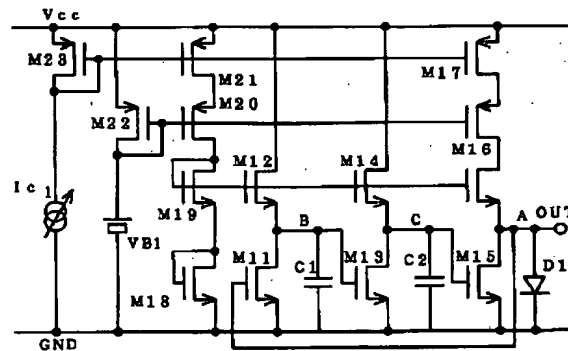
【図4】



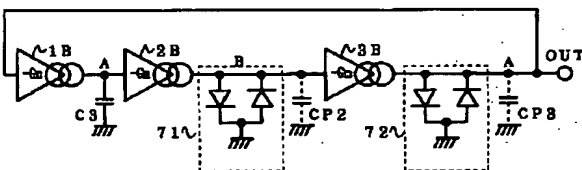
【図5】



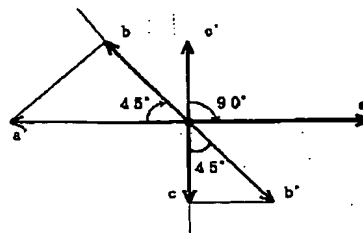
【図6】



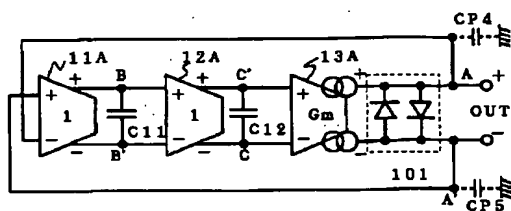
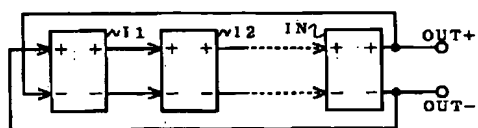
【図7】



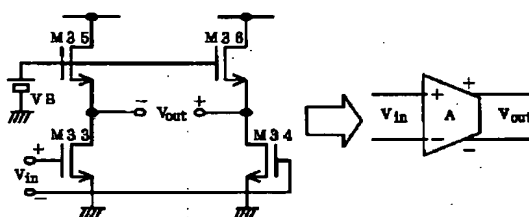
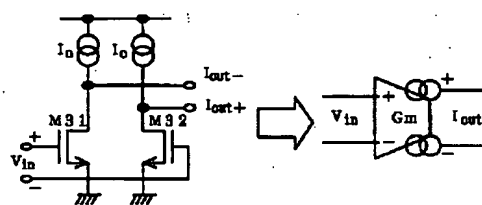
【図8】



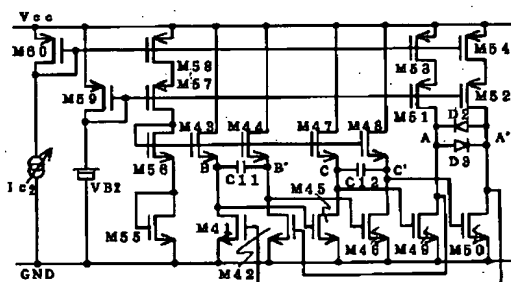
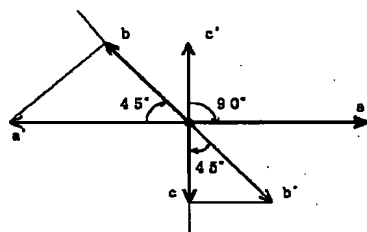
【圖 10】



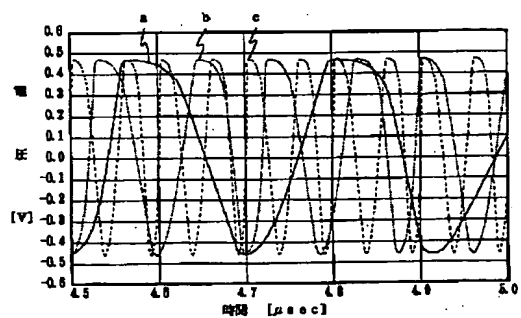
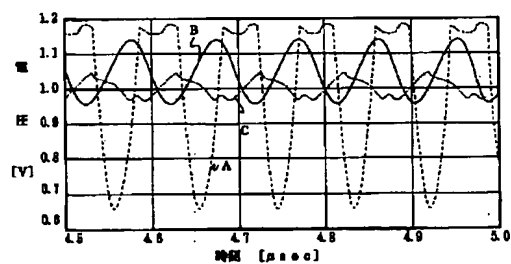
【圖 12】



【圖 14】



【図 16】



【図17】

